

Cited Reference (Korean Patent  
 Laid-Open Publication No. 1997-53214)  
 특1997-0053214

## 引用例の写し

(19) 대한민국특허청(KR)  
 (12) 공개특허공보(A)

(51) Int. Cl.<sup>8</sup>  
 H01L 21/60

(11) 공개번호 특1997-0053214  
 (43) 공개일자 1997년 07월 29일

|            |   |
|------------|---|
| (21) 출원번호  | 특1996-0082426   |
| (22) 출원일자  | 1996년 12월 28일   |
| (30) 우선권주장 | 580,220 1995년 12월 28일 미국(US)  |
| (71) 출원인   | 루센트 테크놀로지시 인코포레이티드 웰리 와이스<br>미합중국 뉴저지 07974-0636 머레이 힐, 마운틴 애비뉴 600   |
| (72) 발명자   | 미논 데가니<br>미합중국 뉴저지 08904, 하이랜드 파크, 클레브랜드 애비뉴 10<br>토마스 닉슨 머더러<br>미합중국 뉴저지 07928, 채텀, 스쿨 애비뉴 30<br>한영준<br>서울특별시 송파구 방이동 올림픽아파트 125-502 |
| (74) 대리인   | 이병호, 최달용  |

## 설사점구 : 였음

## (54) 다중 레벨 스택 접적된 회로칩 어셈블리

## 요약

접적된 회로의 다중 레벨 스택은 스택의 다른 레벨상에 위치된 칩의 와이어링 패드(I/O)를 상호접속하는 와이어본드와 함께 교호하는 칩 및 플립 칩을 갖는다. 부가하여, 수직으로 인접한 레벨에 위치된 플립 칩과 칩사이에 위치된 슬더 범프는 이를 칩의 와이어링 패드를 이를 플립 칩이 와이어링 패드에 상호 접속한다.

## 도표도

## 도!

## 명세서

## [발명의 명칭]

다중 레벨 스택 접적된 회로칩 어셈블리

## [도면의 간단한 설명]

제1는 본 발명의 특정 실시예에 따른 다중 레벨 스택 접적된 회로칩 어셈블리의 부분적 단면의 정면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

## (57) 청구의 범위

청구항 1. 다중 레벨 스택 접적된 회로칩 어셈블리에 있어서 : (a) 배선 기판 또는 제1접적된 회로칩을 구비하는 제1장치로서, 그 상단의 주 표면은 적어도 제1배선 패드를 갖는, 상기 제1장치; (b) 접적 회로칩 또는 배선 기판을 각각 구비하는 제2 및 제3장치로서, 상기 제3장치는 상기 제2장치를 덮도록 위치되고, 상기 제2장치는 상기 제1장치를 덮도록 위치되며, 상기 제2장치의 하단 주 표면은 접적회로 및 적어도 제3배선 패드를 갖게 되는, 상기 제2 및 제3장치; 및 (3) 제3배선 패드를 제1배선 패드에 직접적으로 전기적 접속하는 와이어본드를 구비하는 다중 레벨 스택 접적된 회로칩 어셈블리.

청구항 2. 제1항에 있어서, 제3장치의 상단 주 표면과 제2장치의 하단 주 표면은 실질적으로 동일한 층면 치수를 갖는 것을 특징으로 하는 다중 레벨 스택 접적된 회로칩 어셈블리.

청구항 3. 제2항에 있어서, 제3장치의 하단 주 표면을 제2장치의 상단 주 표면에 결합하는 접착물 본 링총을 더 구비하는 것을 특징으로 하는 다중 레벨 스택 접적된 회로칩 어셈블리.

청구항 4. 제1항에 있어서, 제3장치의 하단 주 표면을 제2장치의 상단 주 표면에 결합하는 접착물 본 링총을 더 구비하는 것을 특징으로 하는 다중 레벨 스택 접적된 회로칩 어셈블리.

청구항 5. 제4항에 있어서, 제2배선패드를 제1장치의 상단 표면상에 위치된 제3배선 패들에 직접 접속하는 제1슬더 범프를 더 구비하는 것을 특징으로 하는 다중 레벨 스택 접적된 회로칩 어셈블리.

**청구항 6.** 제1항에 있어서, 제2배 선 패드를 제1장치의 상단 표면상에 위치된 제3배 선 패드들에 직접 접속하는 제1슬더 범프를 더 구비하는 것을 특징으로 하는 다중 레벨 스택 접적된 회로칩 어셈블리.

결구항 7. 제6항에 있어서, 접적 회로철 및 배선 기판을 각각 구비하는 제4 및 제5장치로서, 상기 제5장치는 상기 제4장치를 덮고 있고, 상기 제4장치는 상기 제3장치를 덮고 있으며, 상기 제4장치는 그 하단 주 표면에 위치된 적어도 제4배선 패드를 갖고, 상기 제5장치는 그 상단 주 표면에 위치된 적어도 제5배선 패드를 가지는, 상기 제4 및 제5장치; 및 제5배선 패드를 제1장치의 상단 표면상에 위치된 제6배선 패드에 직접 접속하는 제2와이어본드를 더 구비하는 것을 특징으로 하는 다중 레벨 스택 접적인 회로 천이체를 드리.

**첨구항 8.** 제1항에 있어서, 징적 회로침 및 배선 기판을 각각 구비하는 제4 및 제5장치로서, 상기 제5장치는 상기 제4장치를 달고 있고, 상기 제4장치는 상기 제3장치를 달고 있으며, 상기 제4장치는 그 상단 주 표면에 위치된 적어도 제4배선 패드를 가지는, 상기 제4 및 제5장치 및 제5배선 패드를 제1장치의 상단 표면상에 위치된 제6배선 패드에 직접 접속하는 제2와이어본드를 더 구비하는 것을 특징으로 하는 다중 레벨 스택 적층된 회로침 어셈블리.

**첨구항 9.** 제8항에 있어서, 제2배선 패드를 제1장치의 상단 표면상에 위치된 제3배선 패드에 직접 접속하는 제1슬더 범프, 및 제4배선 패드를 제3장치의 상단 표면상에 위치된 제7배선 패드에 직접 접속하는 제2슬더 범프를 더 구비하는 것을 특징으로 하는 다중 레벨 스택 접적된 회로천 어셈블리.

**정구형 10.** 제9항에 있어서, 제5장치의 하단 주 표면을 제4장치의 상단 주 표면에 결합하는 접착물을 구비하는 것을 틀림으로 하는 다중 레벨 스텝 접착회로를 더해들리.

**첨구항 11.** 제10항에 있어서, 제3장치의 상단 주 표면을 제2장치의 하단 주 표면은 실질적으로 동일한 출입구를 갖는 것을 지정하는 「중레벨 스텝」을 지정되어 회로된 면세물리.

**첨구항 12.** 제10항에 있어서, 제4배선 패드를 제3장치의 상단 표면상에 위치된 제7배선 패드에 직접 전송하는 제2술더 병포를 더 구비하는 것을 허용으로 하는 다음 레벨 스텝 진전도 회로점 어셈블리.

**청구항 13.** 제9항에 있어서, 제5장치의 상단 표면상에 위치된 제8배선 패드를 제3장치의 상단 표면상에 위치한 제9배선 패드에 직접 접속하는 제3와이어본드를 더 구비하는 것을 특징으로 하는 다중 레벨 스택 진접된 회로체 멘셀블리.

**첨구항 14.** 제11항에 있어서, 제5장치의 하단 주 표면을 제4장치의 상단 주 표면에 결합하는 제2접착물을 더 구비하는 것을 틀짐으로 하는 다중러버 스텝 진정된 회로진 더셀들에 리.

**청구항 15.** 제9항에 있어서, 제4장치의 상단 주 표면 및 제5장치의 하단 주 표면은 실질적으로 동일한 층수를 가지는 것을 틀림없이 하는 다중 레벨 스텝 디자인된 회로 칩 면적을 블록화면으로 표시하는 방법.

\* 참고사항 : 최초출원 내용에 의하여 공개하는 것임

58

五

